

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-122596

(43)Date of publication of application : 28.04.2000

(51)Int.Cl.

G09G 3/20
G02F 1/133
G09G 3/36

(21)Application number : 10-294245

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 15.10.1998

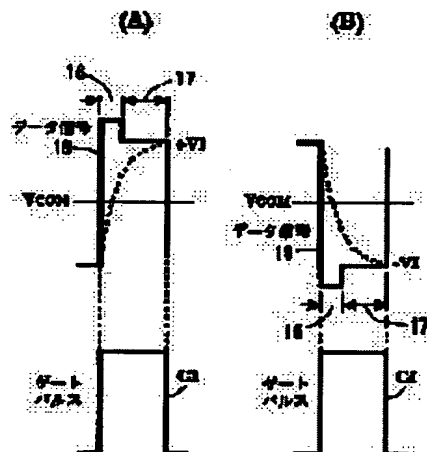
(72)Inventor : TAKENAKA ATSUSHI
IKEZAKI MITSURU

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent the occurrence of an unclear display image and to improve the quality of an animation by allowing a writing means to write in black color for other pixel line during an interval in which an image is at least written in one pixel line.

SOLUTION: An image, which is displayed to a user, is written into all pixels of one pixel line during one interval of one frame interval by gating both a black color signal portion 16 and an image signal portion 17 of a data signal. Then, during a next frame interval, only the portion 16 is gated prior to writing an image in one pixel line and black color for eliminating the persistence of vision is written into all pixels of the line. Thus, two kind gate/pulse DI has a wide width to gate both portions 16 and 17.



LEGAL STATUS

[Date of request for examination] 27.12.1999

[Date of sending the examiner's decision of rejection] 05.11.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-01133

[Date of requesting appeal against examiner's decision of rejection] 17.01.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-122596
(P2000-122596A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/20	6 2 2	G 0 9 G 3/20	6 2 2 P 2 H 0 9 3
			6 2 2 D 5 C 0 0 6
	6 6 0		6 6 0 V 5 C 0 8 0
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
G 0 9 G 3/36		G 0 9 G 3/36	

審査請求 有 請求項の数17 O L (全 17 頁)

(21) 出願番号 特願平10-294245
(22) 出願日 平成10年10月15日 (1998. 10. 15)

(71) 出願人 390008531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSINESS MACHINES CORPORATION
アメリカ合衆国10504、ニューヨーク州アーモンク (番地なし)
(72) 発明者 竹中 敦
神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内
(74) 代理人 100086243
弁理士 坂口 博 (外2名)

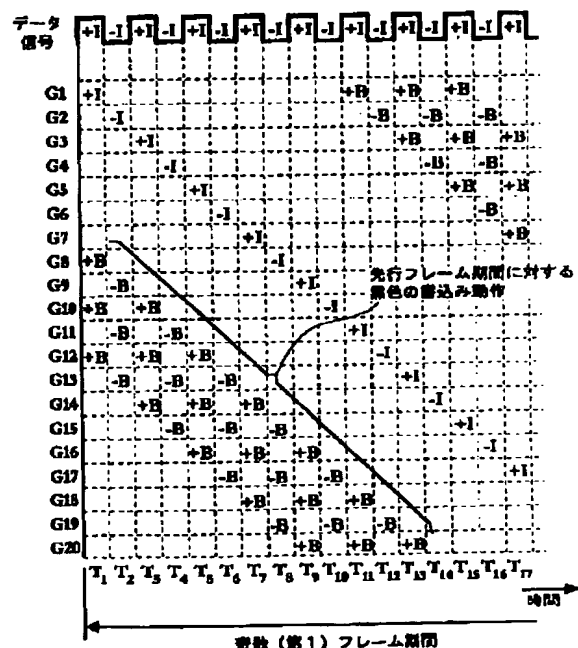
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 本発明の目的は、LCDアレイを2つの半部分に分けることなくそして2つのデータ線駆動回路を必要とすることなく、先行フレーム期間の表示イメージの残像と現フレーム期間の表示イメージとの重なりに基づいて表示イメージが不鮮明になることを防止して動画の質を改善することができる表示装置を実現することである。

【解決手段】 本発明に従う表示装置は、複数の画素ラインを有する表示面と、複数の画素ラインのそれぞれにイメージを逐次的に書き込む書き込み手段とを有し、書き込み手段は、イメージを少なくとも1つの画素ラインに書き込む期間に、他の画素ラインに黒色を書き込むことを特徴とする。他の画素ラインは、少なくとも1つの画素ラインから予定の距離だけ離されていることを特徴とする。書き込み手段は、少なくとも1つの画素ラインから予定の距離だけ離されている複数の画素ラインに黒色を書き込むことを特徴とする。



【特許請求の範囲】

【請求項1】複数の画素ラインを有する表示面と、
上記複数の画素ラインのそれぞれにイメージを逐次的に
書き込む書き込み手段とを有し、
上記書き込み手段は、上記イメージを少なくとも1つの
画素ラインに書き込む期間に、他の画素ラインに黒色を
書き込むことを特徴とする表示装置。

【請求項2】上記他の画素ラインは、上記少なくとも1つ
の画素ラインから予定の距離だけ離されていることを
特徴とする請求項1に記載の表示装置。

【請求項3】上記書き込み手段は、上記少なくとも1つ
の画素ラインから上記予定の距離だけ離されている複数の
画素ラインに上記黒色を書き込むことを特徴とする請
求項2に記載の表示装置。

【請求項4】1方向に沿って配列された複数のデータ線
及び上記1つの方向に交差する他の方向に沿って配列さ
れた複数のゲート線を有し、そして上記複数のデータ線
と上記複数のゲート線との交点のそれぞれに1つの画素
が形成されている表示面と、
黒色信号部分及びイメージ信号部分を含むデータ信号を
上記複数のデータ線のそれぞれに供給するデータ線駆動
回路と、

上記複数のゲート線のそれぞれにゲート・パルスを逐次
的に供給するゲート線駆動回路とを有し、

該ゲート線駆動回路は、上記データ信号を書き込む書き
込み期間に、上記データ信号の上記黒色信号部分及び上
記イメージ信号部分の両方をゲートする広いゲート・パ
ルスを少なくとも1つの1つのゲート線に供給すると共
に、上記データ信号の上記黒色信号部分をゲートする狭
いゲート・パルスを他のゲート線に供給することを特徴
とする表示装置。

【請求項5】上記他のゲート線は、上記少なくとも1つ
のゲート線から予定の距離だけ離されていることを特徴
とする請求項4に記載の表示装置。

【請求項6】上記黒色信号部分は、上記データ信号の前
部に含まれていることを特徴とする請求項5に記載の表
示装置。

【請求項7】上記ゲート線駆動回路は、上記少なくとも
1つのゲート線から予定の距離だけ離されている複数の
ゲート線に上記狭いゲート・パルスを供給することを特
徴とする請求項6に記載の表示装置。

【請求項8】1方向に沿って配列された複数のデータ線
及び上記1つの方向に交差する他の方向に沿って配列さ
れた複数のゲート線を有し、そして上記複数のデータ線
と上記複数のゲート線との交点のそれぞれに1つの画素
が形成されている表示面と、

黒色信号部分及びイメージ信号部分を含むデータ信号を
上記複数のデータ線のそれぞれに供給するデータ線駆動
回路と、

上記複数のゲート線のそれぞれにゲート・パルスを逐次

的に供給するゲート線駆動回路とを有し、

該ゲート線駆動回路は、上記データ信号を書き込む書き
込み期間の間に、上記データ信号の上記イメージ信号部
分をゲートする第1ゲート・パルスを少なくとも1つの
ゲート線に供給すると共に、上記データ信号の上記黒色
信号部分をゲートする第2ゲート・パルスを他のゲート
線に供給することを特徴とする表示装置。

【請求項9】上記他のゲート線は、上記少なくとも1つ
のゲート線から予定の距離だけ離されていることを特徴
とする請求項8に記載の表示装置。

【請求項10】上記黒色信号部分は、上記データ信号の
前部に含まれていることを特徴とする請求項9に記載の
表示装置。

【請求項11】上記イメージ信号部分は、上記データ信
号の前部に含まれていることを特徴とする請求項9に記
載の表示装置。

【請求項12】上記ゲート線駆動回路は、上記少なくと
も1つのゲート線から予定の距離だけ離されている複数
のゲート線に上記第2ゲート・パルスを供給することを
特徴とする請求項10又は請求項11に記載の表示装
置。

【請求項13】1方向に沿って配列された複数のデー
タ線及び上記1つの方向に交差する他の方向に沿って配
列されたY本のゲート線を有し、ここでYは1以上の整数
であり、そして上記複数のデータ線と上記複数のゲート
線との交点のそれぞれに1つの画素が形成されており、
そして上記Y本のゲート線のそれぞれに沿った複数の画
素は1つの画素ラインを形成する表示面と、
黒色信号部分及びイメージ信号部分を含むデータ信号を
上記複数のデータ線のそれぞれに供給するデータ線駆動
回路と、

上記Y本のゲート線のそれぞれにゲート・パルスを逐次
的に供給するゲート線駆動回路とを有し、

該ゲート線駆動回路は、上記データ信号を書き込む書
き込み期間に、上記データ信号の上記黒色信号部分及び上
記イメージ信号部分の両方をゲートする広いゲート・パ
ルスを少なくとも1つのゲート線に供給すると共に、上
記データ信号の上記黒色信号部分をゲートする狭いゲー
ト・パルスを上記少なくとも1つのゲート線から離され
た他のゲート線に供給し、上記ゲート線駆動回路は、期
間 T_1 乃至 T_N を含むフレーム期間に上記Y本のゲート線
のそれぞれに上記広いゲート・パルスを逐次的に供給し
(ここで、Nは1乃至Yである)、1つのフレーム期間
と次のフレーム期間とはブランキング期間により分けら
れており、そして上記1つのフレーム期間のうちの最後
の期間 T_N に上記黒色信号部分の画素ラインに続く
少なくとも1つの画素ラインに、上記ブランキング期間
に上記黒色信号部分の画素ラインに上記黒色信号部分が
書き込まれることを特徴とする表
示装置。

【請求項14】各画素ラインに供給されるデータ信号の

極性はフレーム期間毎に反転され、上記ブランキング期間は偶数個の期間 T_{11} 乃至 T_{1n} を含み（ここで、上記期間 T_{11} 乃至 T_{1n} のそれぞれの長さは上記期間 T_1 乃至 T_n のそれぞれの長さに等しい）、そして先行フレーム期間に供給されたデータ信号の極性と反対の極性を与えるように上記データ信号の極性が上記ブランキング期間に調整されることを特徴とする請求項13に記載の表示装置。

【請求項15】各画素ラインに供給されるデータ信号の極性はフレーム期間毎に反転され、上記ブランキング期間は奇数個の期間 T_{11} 乃至 T_{1n} を含み（ここで、上記期間 T_{11} 乃至 T_{1n} のそれぞれの長さは上記期間 T_1 乃至 T_n のそれぞれの長さに等しい）、そして上記期間 T_{11} 乃至 T_{1n} の数に等しい数の画素ラインに、上記ブランキング期間の間に上記黒色信号部分が書き込まれることを特徴とする請求項13に記載の表示装置。

【請求項16】上記黒色信号部分は、上記データ信号の前部に含まれていることを特徴とする請求項14又は請求項15に記載の表示装置。

【請求項17】上記ゲート線駆動回路は、上記少なくとも1つのゲート線から予定の距離だけ離されている複数のゲート線に上記狭いゲート・パルスを提供することを特徴とする請求項16に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、先行フレーム期間の表示イメージの残像と現フレーム期間の表示イメージとの重なりに基づいて表示イメージが不鮮明になることを防止して動画の質を改善することができる例えば液晶表示（LCD）装置、プラズマ表示装置、フィールド・エミッション表示装置等の高応答速度の表示装置に関する。

【0002】

【従来の技術】従来周知のベンド・モードLCD装置のような高応答速度のLCD装置が、動画の画質を改善するために使用され始めている。動画においては表示イメージが高速度で変化される。図1（A）及び（B）を参照して高応答速度のLCD装置の問題点について説明すると、図1（A）は、LCDアレイ1、データ線駆動回路2及びゲート線駆動回路3を含む従来のLCD装置の概略的な構成を示す。例えば、LCDアレイ1はVGA（ビデオ・グラフィック・アレイ）方式の640×480画素を有する。この場合、データ線駆動回路2は1画素ラインの640個の画素にそれぞれ接続されている640本のデータ線にイメージ・データを供給し、そしてゲート線駆動回路3は480本のゲート線にゲート・パルスを逐次的に供給する。更に具体的にいうと、ゲート線G1に沿う第1の画素ラインにデータが書き込まれる時には、第1画素ラインの640個の画素に対するイメージ・データがデータ線駆動回路2からデータ線に供給

され、そしてゲート線駆動回路3はゲート線G1へゲート・パルスを供給する。このゲート・パルスは、第1画素ラインの各画素の薄膜トランジスタをターン・オンし、その結果このイメージ・データは、この分野で周知なように、画素電極、液晶層及び共通電極により形成される各画素のキャパシタに記憶される。ゲート線G2に沿う第2の画素ラインにデータが書き込まれる時には、第2画素ラインの640個の画素に対するイメージ・データがデータ線駆動回路2からデータ線に供給され、そしてゲート線駆動回路3はゲート線G2へゲート・パルスを供給し、そして以下、この動作が繰り返される。

【0003】図1（B）は、480本のゲート線へゲート・パルスを逐次的に供給するためのタイミング図を示す。図1（B）に示すように、1つのフレーム期間に、ゲート・パルスが480本のゲート線に逐次的に供給され、その結果この1つのフレーム期間の間にイメージ・データが画素ラインに逐次的に書き込まれる。隣接する2つのフレーム期間相互間にブランキング期間が設けられている。ゲート・パルスは期間TAで表される幅を有し、そしてこの期間は（フレーム期間の長さ）／（ゲート線の数）で表される。期間TAは、各画素のキャパシタンスにイメージ・データを十分に書き込むように各画素の薄膜トランジスタをターン・オンするように設計されている。

【0004】

【発明が解決しようとする課題】この方式の問題点は、動画を表示するために表示イメージがフレーム期間毎に変更される時に、1つのフレーム期間の表示イメージが残像として人間の目に残り、そして次のフレーム期間の表示イメージと重なることであり、その結果表示イメージの質が低下する。

【0005】図2は、図1の方式で生じた残像の問題を解決するための従来の方式のタイミング図である。1つのフレーム期間は、1/2フレーム期間A及び1/2フレーム期間Bに分けられている。第1番目の1/2フレーム期間Aの間、480本のゲート線が逐次的に付勢されてイメージ・データをLCDアレイの全ての画素ラインに書き込み、そして第2番目の1/2フレーム期間Bの間に、480本のゲート線が逐次的に付勢されて黒色データをLCDアレイの全ての画素ラインに書き込む。この動作は図1（A）に示したLCD装置の制御方式を修正することにより行われる。第2番目の1/2フレーム期間Bの書き込み動作について説明すると、ゲート線G1に沿う第1の画素ラインに黒色データが書き込まれる時には、第1画素ラインの640個の画素に対する黒色データがデータ線駆動回路2に記憶され、そしてゲート線駆動回路3はゲート線G1へゲート・パルスを供給する。このゲート・パルスは、第1画素ラインの各画素の薄膜トランジスタをターン・オンし、その結果この黒色データは各画素のキャパシタに記憶される。ゲート線

G2に沿う第2の画素ラインに黒色データが書き込まれる時には、第2画素ラインの640個の画素に対するイメージ・データがデータ線駆動回路2に記憶され、そしてゲート線駆動回路3はゲート線G2へゲート・パルスを供給し、そしてこの動作が繰り返される。このようにして、人間の目は第2番目の1/2フレーム期間Bの間に黒色イメージを認識し、そして第1番目のフレーム期間Aに表示されたイメージの残像は1/2フレーム期間Bの間に、人間の目から消去され、次のフレーム期間のイメージと重ならない。この方式は残像の問題を解決するが、この方式では、図1(B)に比べて1フレーム期間に2倍の数のゲート・パルスが必要となるためにゲート・パルスの幅が $T_A/2$ に減少され、これによりイメージ・データは画素のキャパシタンスに十分に書き込まれず、従って十分な階調の制御ができないという新たな問題点を生じる。

【0006】図3は、図2の方式の問題点を解決する従来のLCD装置を示す。LCDアレイは、ゲート線G1乃至G240を含むLCDアレイAと、ゲート線G241乃至G480を含むLCDアレイBに分割され、そしてデータ線駆動回路4がLCDアレイAにデータを供給するために使用され、そしてデータ線駆動回路5がLCDアレイBにデータを供給するために使用される。図3(B)はLCDアレイの動作のタイミング図である。1つのフレーム期間は1/2フレーム期間Aと、1/2フレーム期間Bとに分割されている。第1フレーム期間の1/2フレーム期間Aの間に、LCDアレイAの240本のゲート線が逐次的に付勢されてイメージ・データをLCDアレイAの全ての画素ラインに書き込む。第1フレーム期間の1/2フレーム期間Bの間に、LCDアレイAの240本のゲート線が逐次的に付勢されて黒色データをLCDアレイAの全ての画素ラインに書き込み、そしてLCDアレイBの240本のゲート線が逐次的に付勢されてイメージ・データをLCDアレイBの全ての画素ラインに書き込む。第1フレーム期間にイメージが書き込まれたLCDアレイBに対する黒色データは、第2フレーム期間の1/2フレーム期間Aに書き込まれる。

【0007】LCDアレイが2つの半部分に分割されているので、上側半分A及び下側半分Bへのイメージ・データ及び黒色データの書き込み動作は、互いに独立的に行われ、そしてゲート・パルスの幅は各画素のキャパシタンスにイメージ・データ又は黒色データを十分に書き込める期間 T_A に維持され、これによりこの方式は図2の方式の問題点を解決する。しかしながら、この方式は、LCDアレイを2つの半部分に分割することそして2つのデータ線駆動回路4及び5を必要とし、これによりデータ線駆動回路4及び5へのデータの供給が複雑となり、そして製造コストが増大するという新たな問題点を生じる。

【0008】

【課題を解決するための手段】本発明の目的は、LCDアレイを2つの半部分に分けることなくそして2つのデータ線駆動回路を必要とすることなく、先行フレーム期間の表示イメージの残像と現フレーム期間の表示イメージとの重なりに基づいて表示イメージが不鮮明になることを防止して動画の質を改善することができる表示装置を実現することである。

【0009】本発明に従う表示装置は、複数の画素ラインを有する表示面と、複数の画素ラインのそれぞれにイメージを逐次的に書き込む書き込み手段とを有し、書き込み手段は、イメージを少なくとも1つの画素ラインに書き込む期間に、他の画素ラインに黒色を書き込むことを特徴とする。

【0010】他の画素ラインは、少なくとも1つの画素ラインから予定の距離だけ離されていることを特徴とする。

【0011】書き込み手段は、少なくとも1つの画素ラインから予定の距離だけ離されている複数の画素ラインに黒色を書き込むことを特徴とする。

【0012】本発明に従う表示装置は、1方向に沿って配列された複数のデータ線及び1つの方向に交差する他の方向に沿って配列された複数のゲート線を有し、そして複数のデータ線と複数のゲート線との交点のそれぞれに1つの画素が形成されている表示面と、黒色信号部分及びイメージ信号部分を含むデータ信号を複数のデータ線のそれぞれに供給するデータ線駆動回路と、複数のゲート線のそれぞれにゲート・パルスを逐次的に供給するゲート線駆動回路とを有し、このゲート線駆動回路は、データ信号を書き込む書き込み期間に、データ信号の黒色信号部分及びイメージ信号部分の両方をゲートする広いゲート・パルスを少なくとも1つのゲート線に供給すると共に、データ信号の黒色信号部分をゲートする狭いゲート・パルスを他のゲート線に供給することを特徴とする。

【0013】他のゲート線は、少なくとも1つのゲート線から予定の距離だけ離されていることを特徴とする。

【0014】黒色信号部分は、データ信号の前面に含まれていることを特徴とする。

【0015】ゲート線駆動回路は、少なくとも1つのゲート線から予定の距離だけ離されている複数のゲート線に狭いゲート・パルスを供給することを特徴とする。

【0016】本発明に従う表示装置は、1方向に沿って配列された複数のデータ線及び1つの方向に交差する他の方向に沿って配列された複数のゲート線を有し、そして複数のデータ線と複数のゲート線との交点のそれぞれに1つの画素が形成されている表示面と、黒色信号部分及びイメージ信号部分を含むデータ信号を複数のデータ線のそれぞれに供給するデータ線駆動回路と、複数のゲート線のそれぞれにゲート・パルスを逐次的に供給する

ゲート線駆動回路とを有し、このゲート線駆動回路は、データ信号を書き込む書き込み期間の間に、データ信号のイメージ信号部分をゲートする第1ゲート・パルスを少なくとも1つのゲート線に供給すると共に、データ信号の黒色信号部分をゲートする第2ゲート・パルスを他のゲート線に供給することを特徴とする。

【0017】イメージ信号部分は、データ信号の前部に含まれていることを特徴とする。

【0018】本発明に従う表示装置は、1方向に沿って配列された複数のデータ線及び1つの方向に交差する他の方向に沿って配列されたY本のゲート線を有し、ここでYは1以上の整数であり、そして複数のデータ線と複数のゲート線との交点のそれぞれに1つの画素（画素）が形成されており、そしてY本のゲート線のそれぞれに沿った複数の画素は1つの画素ラインを形成する表示面と、黒色信号部分及びイメージ信号部分を含むデータ信号を複数のデータ線のそれぞれに供給するデータ線駆動回路と、Y本のゲート線のそれぞれにゲート・パルスを逐次的に供給するゲート線駆動回路とを有し、このゲート線駆動回路は、データ信号を書き込む書き込み期間に、データ信号の黒色信号部分及びイメージ信号部分の両方をゲートする広いゲート・パルスを少なくとも1つのゲート線に供給すると共に、データ信号の黒色信号部分をゲートする狭いゲート・パルスを上記の少なくとも1つのゲート線から離れた他のゲート線に供給し、ゲート線駆動回路は、期間 T_1 乃至 T_N を含むフレーム期間にY本のゲート線のそれぞれに広いゲート・パルスを逐次的に供給し（ここで、Nは1乃至Yである）、1つのフレーム期間と次のフレーム期間とはブランキング期間により分けられており、そして1つのフレーム期間のうちの最後の期間 T_N に黒色が書き込まれた画素ラインに続く少なくとも1つの画素ラインに、ブランキング期間に黒色信号部分が書き込まれることを特徴とする。

【0019】各画素ラインに供給されるデータ信号の極性はフレーム期間毎に反転され、ブランキング期間は偶数個の期間 T_{1e} 乃至 T_{Ne} を含み（ここで、期間 T_{1e} 乃至 T_{Ne} のそれぞれの長さは期間 T_1 乃至 T_N のそれぞれの長さに等しい）、そして先行フレーム期間に供給されたデータ信号の極性と反対の極性を与えるようにデータ信号の極性がブランキング期間に調整されることを特徴とする。

【0020】各画素ラインに供給されるデータ信号の極性はフレーム期間毎に反転され、ブランキング期間は奇数個の期間 T_{1o} 乃至 T_{No} を含み（ここで、期間 T_{1o} 乃至 T_{No} のそれぞれの長さは期間 T_1 乃至 T_N のそれぞれの長さに等しい）、そして期間 T_{1o} 乃至 T_{No} の数に等しい数の画素ラインに、ブランキング期間の間に黒色信号部分が書き込まれることを特徴とする。

【0021】

【発明の実施の形態】図4（A）は、本発明に従うLCD

D装置7を示す。LCD装置7は、LCDアレイ即ち表示面8、データ線駆動回路9、ゲート線駆動回路10及びクロック発生回路11を含む。例えば、LCDアレイ8はVGA方式の640×480画素を有し、即ち、640個の画素がゲート線に沿って水平方向に配列され、そして480個の画素が垂直方向に配列されている。もしもカラー・イメージを表示することが要求されるならば、画素の数は $(640 \times 3) \times 480$ に増大され、この場合1つの画素毎に3つのセル、即ち赤色のセル、緑のセル及び青のセルが形成される。SVGA（スーパー・ビデオ・グラフィック・アレイ）方式の800×600画素、又はXGA（エクステンディッド・グラフィック・アレイ）方式の1024×768等の画素を有するLCDアレイを使用することも可能である。しかしながら説明及び図面を簡単にするために、水平方向に24個の画素を有し、そして垂直方向に20個の画素を有するLCDアレイ即ち表示面を使用して本発明を説明する。

【0022】データ線及びゲート線の交点のそれぞれに、表示されるべきイメージを表す電荷を貯蔵するために1つの画素が接続されている。図4（B）は、1つの画素の回路を示し、ここで、薄膜トランジスタ（TFT）12のソース電極はデータ線に接続され、TFT12のゲート電極はゲート線に接続され、そしてTFT12のドレイン電極は一方のガラス基板に形成されている画素電極13に接続される。一方のガラス基板に形成された画素電極13と、他方のガラス基板に搭載された共通電極15と、画素電極13及び共通電極15の間に挟まれた液晶層14とは、表示されるべきイメージを表す電荷を貯蔵するためのキャパシタを形成する。イメージ・データが画素に書き込まれるときには、ゲート線に印加されるゲート・パルスがTFT12をターン・オンし、これによりデータ線に印加されているイメージ・データを表す電圧がTFT12を介してキャパシタに印加されて、イメージを表すレベルまでこのキャパシタを充電する。

【0023】もしも液晶材料にDC電圧が連続的に印加されると、液晶材料が劣化される。周知のように、この劣化を防止するために、液晶材料に印加されるデータ信号の極性は周期的に反転される。本発明の実施例では、いわゆるH/V反転（Horizontal/vertical inversion）が使用される。図5及び6を参照してH/V反転について説明すると、図5（A）は奇数フレーム期間に24×20個の画素に印加される、共通電極に対するデータ信号の極性を示し、そして図5（B）は偶数フレーム期間に24×20個の画素に印加される、共通電極に対するデータ信号の極性を示す。図6（A）は図5（A）のゲート線に沿った奇数画素ラインのデータ信号及び図5（B）のゲート線に沿った偶数画素ラインのデータ信号を示す。図6（B）は図5（A）の偶数画素ラインのデータ信号及び図5

(B)の奇数画素ラインのデータ信号を示す。データ信号の極性は、共通電極15に印加される電圧であるVCOM(この例の場合には0V)に対して交互に変化される。一例として、データ線DL1及びDL2とゲート線G1及びG2の交点にある4つの画素に注目すると、水平方向において隣接する画素の極性は互いに反対であり、そして垂直方向において隣接する画素の極性は互いに反対である。又、奇数フレーム期間における4つの画素の極性は、偶数フレーム期間における極性と反対である。このようにして、1つの画素の極性は奇数又は偶数フレーム期間毎に変更され、そして隣接する画素の極性は互いに反対である。

【0024】本発明においては、1つの画素に対するデータ信号は、図6(A)に示すように、(a)残像を消去するために電圧レベル+VB又は-VBに固定されたフル・ブラック・カラー(黒色)を規定する第1部分即ち黒色信号部分16及び(b)ユーザに対して表示されるイメージ、例えば動画を規定する第2部分即ちイメージ信号部分17を含み、そしてイメージ信号部分17の電圧レベル+V1、-V1は、画素のイメージの輝度に依存して電圧レベル0Vから電圧レベル+VB又は-VBまで変化する。イメージ信号が+VB又は-VBを有するということは、イメージ自体がフル・ブラックであることを表す。図を簡略化するために、電圧レベル+V1又は-V1を有するイメージ信号部分17が示されている。

【0025】図5及び6に示すように、本明細書においては、データ線DL1に接続された第1番目の画素位置に正の極性の信号を有する1つの画素ラインのデータ信号を、“+1又は+B信号”と呼び、そして第1番目の画素位置に負の極性の信号を有する1つの画素ラインのデータ信号を、“-1又は-B信号”と呼ぶ。従って、図5(A)及び(B)に示すように、+1又は+B信号は奇数番目のフレーム期間に奇数番目の画素ラインにそして偶数番目のフレーム期間に偶数番目の画素ラインに書き込まれ、そして-1又は-B信号は奇数番目のフレーム期間に偶数番目の画素ラインにそして偶数番目のフレーム期間に奇数番目の画素ラインに書き込まれる。

【0026】本発明の動作を図7、8、9及び10を参照して説明する。図7及び8は、イメージ及び残像消去用のフル・ブラック・カラーをLCDアレイに書き込む第1実施例のタイミング図を示す。図9はイメージをLCDアレイに書き込むためのゲート・パルスを示す。図10はフル・ブラック・カラーを1つの画素に書き込むためのゲート・パルスを示し、そしてこの1つの画素に黒色が時間の経過とともに3回書き込まれることを示す。前述のように、説明及び図面を簡略化するために、水平方向に24個の画素及び垂直方向に20個の画素を有するLCDアレイを使用して本発明の動作を説明する。従って、この場合には画素ライン即ちゲート線の数

Yは20である。

【0027】奇数番目及び偶数番目のフレーム期間に亘る書き込み動作が図7及び8に示されている。偶数側の期間T₁乃至T₂、例えば4つの期間T₁乃至T₄を有するブランキング期間が奇数フレーム期間と偶数フレーム期間との間に設けられている。表示装置の表示面にイメージを表示する1フレーム期間Fは、複数のイメージ書き込み期間T₁乃至T₄を有し、そしてこの場合にはT₁乃至T₄である。以下、イメージ書き込み期間を単に期間という。LCDアレイの全ての画素のキャパシタがリセットされ、そして図7及び8に示す奇数フレーム期間が第1番目のフレーム期間であり、そして偶数フレーム期間が第2番目のフレーム期間であるとする。この場合には、図7に示されている先行フレーム期間に対する黒色の書き込み動作は行われない。この動作については後述する。

【0028】本発明の概念について簡略的に説明すると、ユーザに対して表示されるイメージ(以下、単にイメージという)は、図9に示すように、データ信号の黒色信号部分16及びイメージ信号部分17の両方をゲートすることにより1つのフレーム期間の1つの期間の間に1画素ラインの全ての画素に書き込まれ、そして次のフレーム期間にこの1画素ラインに再びイメージが書き込まれる前に、図10に示すように黒色信号部分16だけをゲートすることにより残像消去用の黒色がこの1画素ラインの全ての画素に書き込まれる。

【0029】このために、本発明は2種類のゲート・パルスG1及びG2を使用する。ゲート・パルスG1は図9に示され、そしてデータ信号の黒色信号部分16及びイメージ信号部分17の両方をゲートするための広い幅を有する。図9(A)において、正のデータ信号18の黒色信号部分16及びイメージ信号部分17の両方が、1つの画素のキャパシタに書き込まれ、これによりこの画素のキャパシタの電位は点線で示すように変化する。図9(B)において、負のデータ信号19の黒色信号部分16及びイメージ信号部分17の両方が、1つの画素のキャパシタに書き込まれ、これによりこの画素のキャパシタの電位は点線で示すように変化する。ゲート・パルスG2は図10に示され、そしてデータ信号の黒色信号部分16だけをゲートするために、ゲート・パルスG1の幅よりも狭い幅を有する。黒色信号部分16はデータ信号の前面に配置され、そしてこの後にイメージ信号部分17が続く。この理由は、イメージの書き込み動作の間に、フル・ブラック・カラー電圧+VB又は-VBに固定される黒色信号部分16が、キャパシタの電位を図9の点線に沿って迅速に変動するように助け、これにより、高解像度の表示装置のデータ・パルスの幅が狭くされた場合にも所望のイメージ電圧+V1又は-V1が画素のキャパシタに書き込まれるようにするためである。図10(A)において、1つの画素のキャパシタに

対して、連続する3つの正のデータ信号18の黒色信号部分16を3回に亘って供給するために3つのゲート・パルスGBが使用される。3つのゲート・パルスGBを使用する理由は、1つのゲート・パルスGBの期間内に、画素のキャパシタが、フル・ブラック電圧+VBまで充電されないからである。1つのゲート・パルスGBの期間内に、キャパシタをフル・ブラック・レベルまで書き込めるようにTFTの特性又はデータ信号の黒色信号部分16を設計できるならば、1つのゲート・パルスGBだけを使用することができる。しかしながら、高解像度の表示装置の場合には、ゲート・パルスGI及びGBの期間は解像度の増大に比例して短くなり、従って、画素のキャパシタを1つのゲート・パルスGBの期間内にフル・ブラック・レベルまで書き込むことが困難になる。従って、高解像度の表示装置においては複数回に亘ってキャパシタをフル・ブラック・レベルにまで書き込むことが望ましい。本実施例は、3つのゲート・パルスGBを使用する。この場合には、画素のキャパシタの電位は、点線で示すように+VBに向かって徐々に増大する。図10(B)においては、1つの画素のキャパシタに対して、連続する3つの負のデータ信号19の黒色信号部分16を3回に亘って供給するために3つのゲート・パルスGBが使用される。この場合には、画素のキャパシタの電位は、点線で示すように-VBに向かって徐々に増大する。

【0030】クロック・パルス発生回路11から供給されるクロック・パルス(図示せず)の制御のもとに、後述のように、図4のデータ線駆動回路9及びゲート線駆動回路10は、データ線及びゲート線にイメージ信号、即ち+Iと+Bとの組み合わせ又は-Iと-Bとの組み合わせ、そしてゲート・パルス、即ちGI又はGBをそれぞれ供給する。

【0031】(第1番目のフレーム期間の書き込み動作)図7及び8を再び参照すると、データ信号+Iは、図6(A)に示した+I又は+B信号に対応し、そしてデータ信号-Iは、図6(B)に示した-I又は-B信号に対応する。図7の第1フレーム期間の期間T₁に、広い幅のゲート・パルスGIがゲート線G1に供給され、LCDアレイの第1画素ラインにデータ信号+Iをゲートし、これによりデータ信号+Iのイメージが表示される。

【0032】第1フレーム期間の期間T₁に、広い幅のゲート・パルスGIがゲート線G2に供給され、LCDアレイの第2画素ラインにデータ信号-Iをゲートし、これによりデータ信号-Iのイメージが表示される。

【0033】第1フレーム期間の期間T₁に、広い幅のゲート・パルスGIがゲート線G3に供給され、LCDアレイの第3画素ラインにデータ信号+Iをゲートし、これによりデータ信号+Iのイメージが表示される。以下、この動作が繰り返される。このような動作はゲート

線G10に関連する第10番目の画素ラインまで繰り返される。この時点で、ゲート線G1乃至G10に関連する10本の画素ラインにイメージだけが書き込まれている。

【0034】期間T₁に、広いゲート・パルスGIを使用してゲート線G11に関連する画素ラインにイメージ+Iを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G11に関連する画素ラインに黒色+Bを書き込む動作が行われ、これによりゲート線G11に関連する画素ラインはイメージ+Iを表示し、そしてゲート線G11に関連する画素ラインは、図10(A)に示す第1黒色電圧レベル20の黒色+Bを表示する。ゲート線G11に関連する画素ラインにイメージを書き込む動作は期間T₁に行われ、そしてこの画素ラインに黒色を書き込む動作は期間T₁に開始されることが明らかである。

【0035】期間T₁に、広いゲート・パルスGIを使用してゲート線G12に関連する画素ラインにイメージ-Iを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G2に関連する画素ラインに黒色-Bを書き込む動作が行われ、これによりゲート線G12に関連する画素ラインはイメージ-Iを表示し、そしてゲート線G2に関連する画素ラインは、図10(B)に示す第1黒色電圧レベル22の黒色-Bを表示する。

【0036】期間T₁に、広いゲート・パルスGIを使用してゲート線G13に関連する画素ラインにイメージ+Iを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G11に関連する画素ラインに黒色+Bを書き込む動作と、狭いゲート・パルスGBを使用してゲート線G3に関連する画素ラインに黒色-Bを書き込む動作とが行われ、これによりゲート線G13に関連する画素ラインはイメージ+Iを表示し、そしてゲート線G11に関連する画素ラインは、図10(A)に示す第2黒色電圧レベル21の黒色+Bを表示し、そしてゲート線G3に関連する画素ラインは、第1黒色電圧レベル20の黒色+Bを表示する。

【0037】期間T₁に、広いゲート・パルスGIを使用してゲート線G14に関連する画素ラインにイメージ-Iを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G2に関連する画素ラインに黒色-Bを書き込む動作と、狭いゲート・パルスGBを使用してゲート線G4に関連する画素ラインに黒色-Bを書き込む動作とが行われ、これによりゲート線G14に関連する画素ラインはイメージ-Iを表示し、そしてゲート線G2に関連する画素ラインは、図10(B)に示す第2黒色電圧レベル23の黒色-Bを表示し、そしてゲート線G4に関連する画素ラインは、第1黒色電圧レベル22の黒色-Bを表示する。

【0038】期間T₁に、広いゲート・パルスGIを使

用してゲート線G15に関連する画素ラインにイメージ+1を書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G1に関連する画素ラインに黒色+Bを書き込む動作と、狭いゲート・パルスGBを使用してゲート線G3に関連する画素ラインに黒色+Bを書き込む動作と、狭いゲート・パルスGBを使用してゲート線G5に関連する画素ラインに黒色+Bを書き込む動作とが行われ、これによりゲート線G15に関連する画素ラインはイメージ+1を表示し、そしてゲート線G1に関連する画素ラインは、図10(A)に示す最終黒色電圧レベル+VBの黒色を表示し、そしてゲート線G3に関連する画素ラインは、第2黒色電圧レベル21の黒色+Bを表示し、そしてゲート線G5に関連する画素ラインは、第1黒色電圧レベル20の黒色+Bを表示する。

【0039】この期間 T_{11} の時点でLCDアレイの表示面に表示されている内容は次の通りである。

【0040】ゲート線G1に関連する画素ライン：最終黒色電圧レベル+VBの黒色+B

ゲート線G2に関連する画素ライン：第2黒色電圧レベル23の黒色-B

ゲート線G3に関連する画素ライン：第2黒色電圧レベル21の黒色+B

ゲート線G4に関連する画素ライン：第1黒色電圧レベル22の黒色-B

ゲート線G5に関連する画素ライン：第1黒色電圧レベル20の黒色+B

偶数ゲート線G6乃至G14に関連する画素ライン：イメージ-I

奇数ゲート線G7乃至G15に関連する画素ライン：イメージ+1

書き込み手段即ち回路9、10及び11は、複数本の画素ラインのそれぞれにイメージを逐次的に書き込み、そして書き込み手段は、1つの画素ラインにイメージを書き込む期間に他の画素ラインに黒色を書き込むことが明らかである。例えば、期間 T_{11} に、データ信号+1は、広いゲート・パルスG1が供給されるゲート線G11に関連する画素ラインにイメージ+1を書き込むために使用され、そして又狭いゲート・パルスGBが供給されるゲート線G1に関連する画素ラインに黒色+Bを書き込むために使用され、又、期間 T_{11} では、データ信号+1は、広いゲート・パルスG1が供給されるゲート線G13に関連する画素ラインにイメージ+1を書き込むために使用され、そして又狭いゲート・パルスGBが供給されるゲート線G1及びG3に関連する画素ラインに黒色+Bを書き込むために使用され、又、期間 T_{11} では、データ信号+1は、広いゲート・パルスG1が供給されるゲート線G15に関連する画素ラインにイメージ+1を書き込むために使用され、そして又狭いゲート・パルスGBが供給されるゲート線G1、G3及びG5に関連す

る画素ラインに黒色+Bを書き込むために使用される。

【0041】このようにして、2種類のゲート・パルスG1及びGBが、関連する画素ラインにイメージと黒色との両方を同時に書き込むために選択的にゲート線に供給される。

【0042】同様な動作が、図7及び8に示す第1番目のフレーム期間の期間 T_{11} 乃至 T_{12} に繰り返される。第1番目のフレーム期間の最後(T_{12})に、ゲート線G1乃至G6に関連する画素ラインは最終レベル即ち+VB又は-VBの各黒色を表示し、そしてゲート線G7乃至G20に関連する残りの画素ラインは、第2若しくは第1レベルの黒色、又はイメージ+1若しくは-Iを表示している。更に具体的に言うと、ゲート線G7及びG8に関連する画素ラインは、第2黒色電圧レベル21又は23の黒色をそれぞれ表示しており、ゲート線G9及びG10に関連する画素ラインは、第1黒色電圧レベル20又は22の黒色をそれぞれ表示しており、そしてゲート線G11乃至G20に関連する画素ラインは、イメージ+1又は-Iをそれぞれ表示している。

【0043】ゲート線G7乃至G20に関連する画素ラインのキャパシタを最終黒色電圧レベル、即ち+VB又は-VBにまで充電する書き込み動作は、この第1番目のフレーム期間の後に行われる。この実施例においては図8に示すように、偶数個の期間 T_{11} 乃至 T_{12} 、例えば T_{11} 乃至 T_{12} を含むブランキング期間が、第1フレーム期間と第2フレーム期間との間に設けられている。ブランキング期間に含まれる各期間の長さは、フレーム期間に含まれる各期間の長さに等しい。

【0044】(ブランキング期間の動作) この実施例においては、期間 T_{11} 乃至 T_{12} を含むブランキング期間に、2つの動作が行われる。1つの動作は、第2番目のフレーム期間に画素に供給されるデータ信号の極性を反転するように、極性を調整することである。そしてデータ信号がデータ線駆動回路9に供給される。極性を反転する理由は、周知のようにもしも液晶材料にDC電圧が連続的に印加されると、液晶材料が損傷されるからである。この実施例では、データ信号の極性の反転は、期間 T_{11} に行われ、ここでデータ信号の極性は図8に示すように、期間 T_{11} の間負の極性に維持され、この結果、第2フレーム期間に画素ラインに供給されるデータ信号の極性は、第1フレーム期間に画素ラインに供給されるデータ信号の極性に比べて反転される。データ信号の極性の調整は、ブランキング期間の他の期間、例えば T_{11} 、 T_{12} 又は T_{13} に行われることができる。

【0045】他の動作は、ブランキング期間の期間 T_{11} 乃至 T_{12} のうちの1つの期間に、第1フレーム期間の最後の期間 T_{12} に書き込まれた黒色の極性(-B)と反対極性(+B)の黒色を、第1フレーム期間の画素ラインG6、G8及びG10にそれぞれ続く画素ラインG7、G9及びG11に書き込むことである。このようにし

て、黒色は、奇数フレーム期間の最後の期間 T_n 、即ち T_{n+1} に黒色書き込まれた画素ラインに続く画素ラインの少なくとも1つに書き込まれる。ブランキング期間のうちの1つの期間に黒色+Bを書き込む理由は、第2番目のフレーム期間の最初の期間 T_1 に供給されるデータ信号の極性(-I)が、第1番目のフレーム期間にゲート線G20に関連する最後の画素ラインに供給されるデータ信号の極性(-I)と同じであり、従って、第2フレーム期間 T_2 まで、そしてゲート線G7、G9及びG11に関連する画素ラインの画素のキャパシタに黒色+VBを再書き込みできないからである。ブランキング期間が4つの期間を含む場合には、黒色を書き込むために、期間 T_n 又は T_{n+1} の1つを選択できる。本実施例の場合には、ゲート線G7、G9及びG11に狭いゲート・パルスGBを供給してこれらに関連する画素ラインにデータ信号+Iの黒色信号部分16を供給するために期間 T_n が使用される。

【0046】(第2フレーム期間の書き込み動作) 上述のように、各画素ラインに供給されるデータ信号の極性が第2番目のフレーム期間では反転されるという点を除いて、第1番目のフレーム期間と同様な動作が第2番目のフレーム期間で行われる。図8の第2番目のフレーム期間の期間 T_1 において、広いゲート・パルスG1がゲート線G1に供給されてLCDアレイの第1画素ラインにイメージ-Iをゲートしてイメージ-Iを表示し、そして、狭いゲート・パルスGBがゲート線G8、G10及びG12に供給されて、これらのゲート線に関連する画素ラインに黒色-Bをゲートしてこれを表示する。

【0047】同様にして、イメージ及び黒色の書き込み動作は第2番目のフレーム期間 T_2 まで続く。

【0048】期間 T_n において、広いゲート・パルスG*

期間 T_n
(ケースA): $1 \leq N \leq 9$

ゲート線	ゲート・パルス
N	GI
N+7	GB
N+9	GB
N+11	GB

ケースAは、 $N=1$ 乃至 $N=9$ の場合であり、そして期間 T_1 乃至 T_9 に関連する。例えば、奇数(例えば第3番目)フレーム期間の期間 T_1 においては、ゲート線G1に広いゲート・パルスGIが供給され、そしてゲート線

(ケースB): $N=10$

N	:(G10)	GI
N+7	:(G17)	GB
N+9	:(G19)	GB

ケースBは、 $N=10$ の場合であり、そして期間 T_{10} に関連する。

(ケースC): $N=11$

N	:(G11)	GI
N+7	:(G18)	GB
N+9	:(G20)	GB
N+10	:(G21即ちG1)	GB

ケースCは、期間 T_{11} に関連する。

* Iを使用してゲート線G11に関連する画素ラインにイメージ-Iを書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G18、G20及びG1に関連する画素ラインに黒色-Bを書き込む動作が行われ、これによりゲート線G11に関連する画素ラインはイメージ-Iを表示し、そしてゲート線G1に関連する画素ラインは、図10(B)に示す第1黒色電圧レベル22の黒色を表示し、そしてゲート線G18に関連する画素ラインは、最終黒色電圧レベル-VBの黒色-Bを表示し、そしてゲート線G20に関連する画素ラインは、第2黒色電圧レベル23の黒色-Bを表示する。
【0049】第2フレーム期間の期間 T_2 において、LCDアレイの全ての画素ラインに最終黒色電圧レベル、即ち+VB又は-VBの黒色を書き込む動作が完了され、これにより、第1フレーム期間に全ての画素ラインに表示されたイメージが完全に消去される。

【0050】図7に示されている先行フレーム期間に対する黒色の書き込み動作について説明すると、この書き込み動作は、図7のフレーム期間が第1フレーム期間以外の期間、例えば第3、第5又は第7フレーム期間の場合に、先行フレーム期間に全ての画素ラインに表示されたイメージを消去するために行われる。

【0051】20本のゲート線を使用する例示的な実施例の、図7及び8に示した、偶数個の期間 T_n 乃至 T_{20} を含むブランキング期間により分けられている奇数及び偶数フレーム期間のある選択された期間 T_n において、幅の広い1つのゲート・パルスG1及び幅の狭い複数のゲート・パルスGBが供給されるゲート線は、次式により規定される。

【0052】

* G8、G10及びG12に狭いゲート・パルスGBが供給される。

【0053】

★【0054】

★

50 【0055】

17

(ケースD) : N=12

ケースDは、期間 T_{11} に関連する。

(ケースE) : N=13

ケースEは、期間 T_{11} に関連する。

(ケースF) : N=14

ケースFは、期間 T_{11} に関連する。(ケースG) : $15 \leq N \leq 20$

ケースGは、 $N=15$ 乃至 $N=20$ の場合であり、そして期間 T_{11} 乃至 T_{20} に関連する。期間 T_{11} においては、ゲート線G15に広いゲート・パルスG1が供給され、そしてゲート線G1、G3及びG5に狭いゲート・パルスGBが供給される。

【0058】このようにして或る1つの期間 T_{11} において、1つのゲート線に広いゲート・パルスG1が供給されて黒色信号部分16及びイメージ信号部分17の両方をゲートし、これによりイメージがこのゲート線に関連する1画素ラインに書き込まれ、そして他の選択されたゲート線には黒色信号部分16だけをゲートする狭いゲート・パルスGBが供給され、これによりこれらのゲート線に関連する画素ラインに黒色が書き込まれる。

【0059】図11及び12はイメージ及び残像消去用のフル・ブラック・カラーをLCDアレイに書き込む第2実施例のタイミング図を示す。LCDアレイの全ての画素のキャパシタがリセットされ、そして図11及び12に示す奇数フレーム期間が第1番目のフレーム期間であり、そして偶数フレーム期間が第2番目のフレーム期間であるとする。この場合には、図11に示されている先行フレーム期間に対する黒色の書き込み動作は行われない。第2実施例においては、奇数個の期間 T_{11} 乃至 T_{20} 、例えば5つの期間 T_{11} 乃至 T_{15} 、を有するブランキング期間が奇数フレーム期間と偶数フレーム期間との間に設けられている。

【0060】(第1フレーム期間の書き込み動作) 図11及び12に示す第1フレーム期間の期間 T_{11} 乃至 T_{20} の間の動作は図7及び8に示した第1フレーム期間の動作と同じである。

【0061】(ブランキング期間の書き込み動作) 奇数期間例えば5つの期間 T_{11} 乃至 T_{15} を有するブランキング期間の間、データ信号の極性は交互に反転され、そしてデータ線駆動回路9に供給され、そして更にデータ信

N	:(G12)	GI
N+7	:(G19)	GB
N+10	:(G22即ちG2)	GB
* * 【0058】		
N	:(G13)	GI
N+7	:(G20)	GB
N+8	:(G21即ちG1)	GB
N+10	:(G23即ちG3)	GB
※ ※ 【0057】		
N	:(G14)	GI
N+8	:(G22即ちG2)	GB
N+10	:(G24即ちG4)	GB
N		GI
N+6		GB
N+8		GB
N+10		GB

号+1、-1、+1、-1及び+1を使用して、黒色がゲート線G7乃至G15に関連する画素ラインに連続的に供給される。即ち、黒色信号部分16は、奇数フレーム期間の最後の期間 T_{11} 即ち T_{20} に黒色が書き込まれた画素ラインのそれぞれに続く画素ラインに書き込まれ、そしてブランキング期間に黒色信号部分16は、数4とブランキング期間の期間 T_{11} 乃至 T_{20} の数との和に等しい数の画素ラインに書き込まれる。更に具体的にいうと、図9(A)に示す黒色信号部分16の黒色+Bが期間 T_{11} にゲート線G7、G9及びG11に関連する画素ラインに供給され、図9(B)に示す黒色信号部分16の黒色-Bが期間 T_{12} にゲート線G8、G10及びG12に関連する画素ラインに供給され、黒色+Bが期間 T_{13} にゲート線G9、G11及びG13に関連する画素ラインに供給され、以下この動作が繰り返される。奇数個の期間を有するブランキング期間を使用することにより、データ信号の極性は各期間 T_{11} 乃至 T_{20} において反転され、これによりデータ信号-1が第2フレーム期間の最初の期間 T_{11} に最初の画素ラインに供給される。

【0062】(第2フレーム期間の書き込み動作) 上述のように、各画素ラインに供給されるデータ信号の極性が第2番目のフレーム期間では反転されるという点を除いて、第1番目のフレーム期間と同様な動作が第2番目のフレーム期間で行われる。図12に示す第2フレーム期間の期間 T_{11} において、広いゲート・パルスG1がゲート線G1に供給されてLCDアレイの第1画素ラインにイメージ-1をゲートしてイメージ-1を表示し、そして、狭いゲート・パルスGBがゲート線G12、G14及びG16に供給されて、これらのゲート線に関連する画素ラインに黒色-Bをゲートしてこれを表示する。

【0063】イメージ及び黒色の書き込み動作は第2番目のフレーム期間 T_{11} まで続く。

【0064】期間 T_{11} において、広いゲート・パルスG

18

1を使用してゲート線G11に関連する画素ラインにイメージ1を書き込み、そしてこれと同時に、狭いゲート・パルスGBを使用してゲート線G1に関連する画素ラインに黒色-Bを書き込む動作が行われ、これによりゲート線G11に関連する画素ラインはイメージ1を表示し、そしてゲート線G1に関連する画素ラインは、図10(B)に示す第1黒色電圧レベル22の黒色を表示する。このようにして、イメージ及び黒色の書き込み動作は第2フレーム期間の間繰り返される。1つの画素ラインに対してイメージを書き込む動作と、この画素ラインに対して黒色を書き込む動作の開始との間の時間遅延は $F/2$ に等しいことが明らかである。ここで、Fは1フレーム期間の長さである。

【0065】奇数期間を含むブランキング期間を使用することにより、黒色は、第1フレーム期間、ブランキング期間及び第2フレーム期間に亘ってゲート線G1乃至G20に関連する画素ラインに連続的に書き込まれ、これにより、イメージの表示開始時刻と黒色の表示開始時刻との間の時間遅延の長さは各画素ライン毎に一定の値 $F/2$ に維持される。このことは、全ての画素ラインのイメージ表示期間が $F/2$ に等しいことを意味し、これにより $F/2$ の期間に亘って表示されるイメージの入射光の積分値で表される人間の目に入るイメージの輝度が全ての画素ラインに対して一定に維持される。

【0066】図11に示されている先行フレーム期間に対する黒色の書き込み動作について説明すると、この書き込み動作は、図11のフレーム期間が第1フレーム期間以外の期間、例えば第3、第5又は第7フレーム期間*

ゲート線	T_0	T_1	T_2	T_3	T_4	T_5	ゲート・パルス
N	:	G1	G2	G3	G4	G5	GI
$N+(Y/2)+n-4$:	G12	G13	G14	G15	G16	GB
$N+(Y/2)+n-2$:	G14	G15	G16	G17	G18	GB
$N+(Y/2)+n$:	G16	G17	G18	G19	G20	GB

奇数フレーム期間の期間 T_0 及び T_1 の間、次のゲート線が選択される。

【0070】

<u>ゲート線</u>	T_0	T_1	<u>ゲート・パルス</u>
N	: G6	G7	GI
N+(Y/2)+n-4	: G17	G18	GB
N+(Y/2)+n-2	: G19	G20	GB
N+(Y/2)+n	: *G21	*G22	

期間 T_0 及び T_1 の間に選択されるゲート線G21及びG22はLCDアレイに実際に存在しない仮想ゲート線であり、従って期間 T_0 ではゲート線G6、G17及びG19だけが選択され、そして期間 T_1 ではゲート線G7、G18及びG20だけが選択される。仮想ゲート線を記号*で表す。

【0071】奇数フレーム期間の期間 T_0 及び T_1 の間、次のゲート線が選択される。

【0072】

*の場合に、先行フレーム期間に全ての画素ラインに表示されたイメージを消去するために行われる。

【0067】第2実施例ではブランキング期間に黒色が複数画素ラインに連続的に書き込まれるので、奇数及び偶数フレーム期間のうちのある選択された期間 T_0 において、イメージが書き込まれる画素に関連するゲート線と、黒色が書き込まれる画素ラインに関連するゲート線とは次式により規定される。20本のゲート線を使用するこの実施例では、ゲート線の数 $Y=20$ であり、そして、数Nは、1乃至 $Y(=20)$ である。“数” n は、ブランキング期間に含まれる期間の数である。この実施例では、 $n=5$ である。更に実際のゲート線G1乃至G20の後に、 $n=5$ に等しい仮想的ゲート線G21乃至G25があるものとする。即ち、ここで考慮するゲート線の数 $(Y+n)$ であり、即ち25本のゲート線である。そして、ゲート線 $G(Y+n+1)$ 即ち仮想的な26番目のゲート線G26は、LCDアレイの表示面のゲート線G1として扱われる。

【0068】

ゲート線	ゲート・パルス
N	GI
$N+(Y/2)+n-4$	GB
$N+(Y/2)+n-2$	GB
$N+(Y/2)+n$	GB

奇数(例えば、第3フレーム期間)フレーム期間の期間 T_1 乃至 T_5 の間、次のゲート線が選択される。

【0069】

	T_3	<u>ゲート・パルス</u>
	G5	GI
5	G16	GB
7	G18	GB
9	G20	GB

期間 T_0 ではゲート線G8及びG19だけが選択され、

そして期間 T_1 ではゲート線G9及びG20だけが選択される。

【0073】奇数フレーム期間の期間 T_0 の間、次のゲート線が選択される。

【0074】

<u>ゲート線</u>	T_0	<u>ゲート・パルス</u>
N	: G10	GI
N+(Y/2)+n-4	: *G21	
N+(Y/2)+n-2	: *G23	
N+(Y/2)+n	: *G25	

50 期間 T_0 ではゲート線G10だけが選択される。

【0075】奇数フレーム期間の期間 T_{11} 及び T_{12} の間、次のゲート線が選択される。

【0076】

ゲート線	T_{11}	T_{12}	ゲート・パルス
N	: G11	G12	GI
$N+(Y/2)+n-4$: *G22	*G23	
$N+(Y/2)+n-2$: *G24	*G25	
$N+(Y/2)+n$: G26(G1)	G27(G2)	GB

期間 T_{11} ではゲート線G11及びG1だけが選択され、そして期間 T_{12} ではゲート線G12及びG2だけが選択される。

【0077】奇数フレーム期間の期間 T_{11} 及び T_{12} の間、次のゲート線が選択される。

【0078】

ゲート線	T_{11}	T_{12}	ゲート・パルス
N	: G13	G14	GI
$N+(Y/2)+n-4$: *G24	*G25	
$N+(Y/2)+n-2$: G26(G1)	G27(G2)	GB
$N+(Y/2)+n$: G28(G3)	G29(G4)	GB

期間 T_{11} ではゲート線G13、G1及びG3だけが選択され、そして期間 T_{12} ではゲート線G14、G2及びG4だけが選択される。このようにして、残りの期間のゲート線が選択されることができる。

【0079】図13は図9に示したデータ信号の代わりに使用されうる代替的なデータ信号を示す。図13に示すデータ信号においては、フル・ブラック・カラーを規定する黒色信号部分16は2つのサブセクション16A及び16Bに分割されている。図6、9及び10に示すように、黒色信号部分16の前縁がフル・ブラック・レベル+VB又は-VBまで上昇される場合には、この急激に立ち上がる黒色信号部分16が、イメージの書き込み時に、画素のキャパシタをオーバー・チャージしてしまい、このキャパシタを、所望のイメージ電圧レベルよりも大きな電圧レベルまで充電してしまうオーバー・シュートが生じることがある。図6、9及び10に示した黒色信号部分16の絶対値即ち振幅をフル・ブラック電圧+VB、-VBよりも小さい値に減少することによりこのオーバーシュートを防止することも可能である。しかしながら、黒色信号部分16の振幅の減少に基づいて、残像を十分に消去できなくなり、従ってオーバーシュートの防止と残像の消去との両方を達成できなくなる望ましくない状況が生じることがある。2つのサブ・セクション16A及び16Bに分けられている図13の黒色信号部分16は、このような望ましくない状況が生じた場合に有効であり、オーバーシュートの防止と残像の消去との両方を達成することができる。更に具体的に説明すると、サブ・セクション16Aの電圧レベルの絶対値は、オーバー・シュートを防止するために、サブセクション16Bのフル・ブラック電圧レベル+VB又は-VBの絶対値よりも小さな値に選択される。

【0080】図14は、図9に示すゲート・パルスG1の代わりに使用されうる代替的なゲート・パルスG1を示す。図14(A)及び(B)に示すゲート・パルスG1は、データ信号18及び24のイメージ信号部分17だけをゲートするようなパルス幅を有する。黒色信号部分16によるバイアス動作の助けを必要とせずに、イメージ信号部分17がゲート・パルスG1の期間内に画素のキャパシタを所望のイメージ電圧レベルにまで十分に充電できる場合にこのようなゲート・パルスG1が使用されることができる。図14(A)及び(B)に示すゲート・パルスGBは、図10の場合のように、データ信号18及び24の黒色信号部分16だけをゲートする。図14(B)においては、イメージ信号部分17は、データ信号24の前部に配置され、そしてこの後に黒色信号部分16が続く、そしてゲート・パルスGBは、黒色信号部分16をゲートするように整列されている。

【0081】表示装置の例として液晶表示装置を使用し、本発明を説明したが、本発明は、複数本のゲート線を同時に付勢することができる例えばプラズマ表示装置、フィールド・エミッション表示装置のような他の表示装置においても使用されることができる。

【0082】図7及び8と図11及び12の書き込み動作では、正の極性の黒色(+B)が同じ正の極性のイメージ(+I)の後に書き込まれ、そして負の極性の黒色(-B)が同じ負の極性のイメージ(-I)の後に書き込まれたが、負の極性の黒色(-B)が反対極性のイメージ(+I)の後に書き込まれ、そして正の極性の黒色(+B)が反対極性のイメージ(-I)の後に書き込まれることができる。この理由は、人間の目は、極性に関係なくイメージ及び黒色を認識するからである。

【0083】説明及び図面を簡略化するために、水平方向に24個の画素を有しそして垂直方向に20個の画素を有するLCDアレイについて本発明を説明したが、本発明の書き込み動作は、VGA方式の640×480個の画素、SVGA方式の800×600個の画素、又はXGA方式の1024×768個等の画素を有する表示画面を有する表示装置に対しても適用されることが明らかである。黒色信号部分16のフル・ブラック・レベル+VB又は-VBの代わりに、先行フレーム期間のイメージを十分に消去することができる任意の電圧レベルを使用することができる。画素へのイメージの書き込み動作の開始と、この画素への黒色の書き込み動作の開始との間の遅延は、図11及び12の場合には $F/2$ に選択されたが、この遅延の値は、先行フレーム期間の表示イメージの残像と現フレーム期間の表示イメージとの重なりに基づいて表示イメージが不鮮明になることを防止できる任意の値に選択されることができる。

【0084】

【発明の効果】本発明は、LCDアレイを2つの半部分に分けることなくそして2つのデータ線駆動回路を必要

とすることなく、先行フレーム期間の表示イメージの残像と現フレーム期間の表示イメージとの重なりに基づいて表示イメージが不鮮明になることを防止して動画の質を改善することができる表示装置を実現することができる。

【図面の簡単な説明】

【図1】従来のLCD装置の概略的な構成及びゲート線へゲート・パルスを逐次的に供給するためのタイミングを示す図である。

【図2】残像の問題を解決するための従来の方式のタイミングを示す図である。

【図3】図2の方式の問題点を解決する従来のLCD装置を示す図である。

【図4】本発明に従うLCD装置7を示す図である。

【図5】奇数及び偶数フレーム期間に印加されるデータ信号の極性を示す図である。

【図6】画素ラインに印加されるデータ信号を示す図である。

【図7】イメージ及び残像消去用のフル・ブラック・カラーをLCDアレイに書き込む第1実施例のタイミングを示す図である。

【図8】図7のタイミングに続くタイミングを示す図である。

【図9】イメージをLCDアレイに書き込むためのデー

*タ信号及びゲート・パルスを示す図である。

【図10】フル・ブラック・カラーをLCDアレイに書き込むためのデータ信号及びゲート・パルスを示す図である。

【図11】イメージ及び残像消去用のフル・ブラック・カラーをLCDアレイに書き込む第2実施例のタイミングを示す図である。

【図12】図11のタイミングに続くタイミングを示す図である。

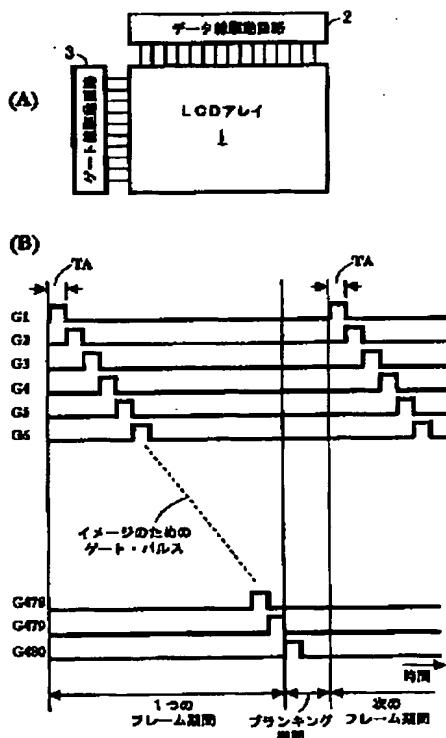
【図13】図9に示したデータ信号の代わりに使用される代替的なデータ信号を示す図である。

【図14】図9に示すゲート・パルスG1の代わりに使用される代替的なゲート・パルスG1を示す図である。

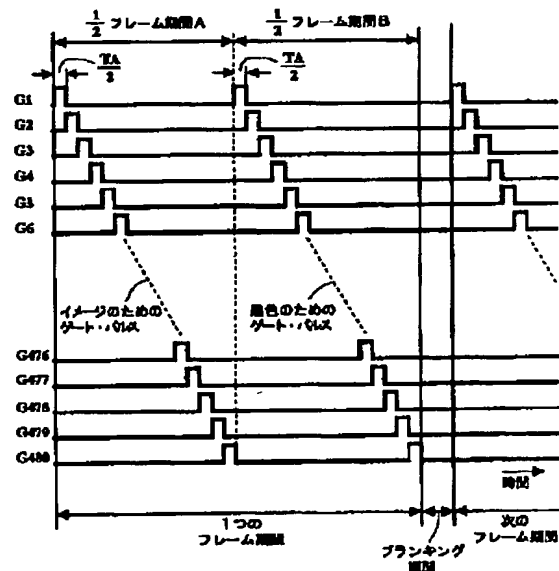
【符号の説明】

- 7・・・LCD装置、
- 8・・・LCDアレイ、
- 9・・・データ線駆動回路、
- 10・・・ゲート線駆動回路、
- 11・・・クロック発生回路、
- 12・・・TFT、
- 13・・・画素電極、
- 14・・・液晶層、
- 15・・・共通電極

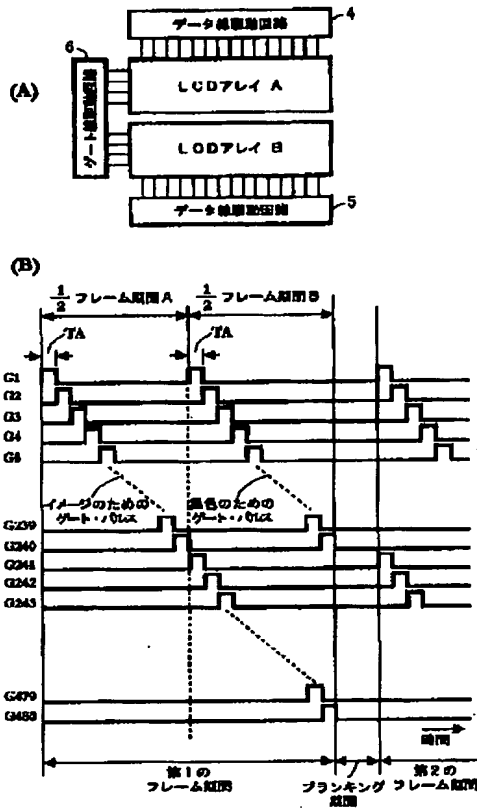
【図1】



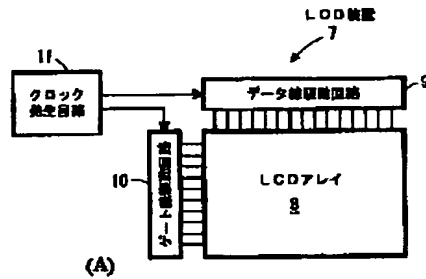
【図2】



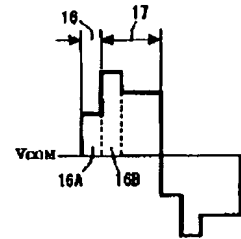
【図3】



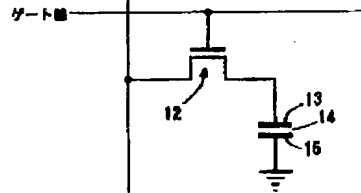
【図4】



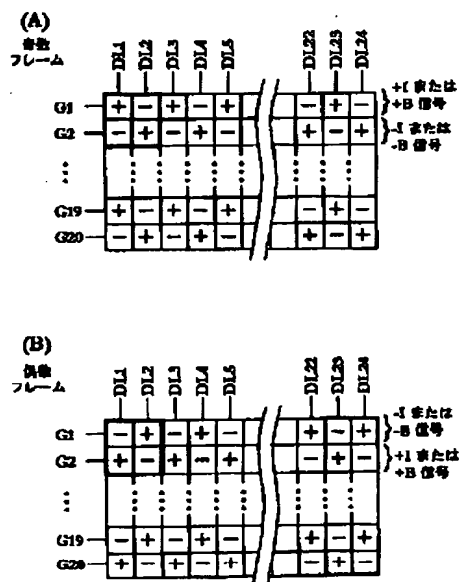
【図13】



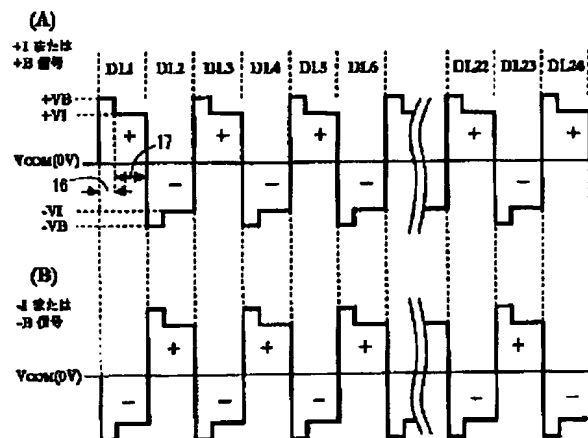
(B) データ線



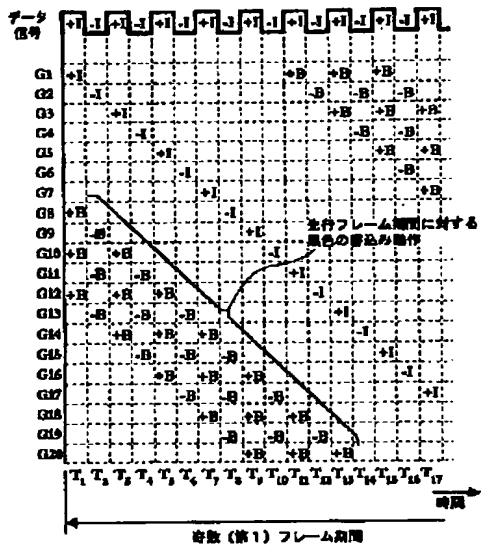
【図5】



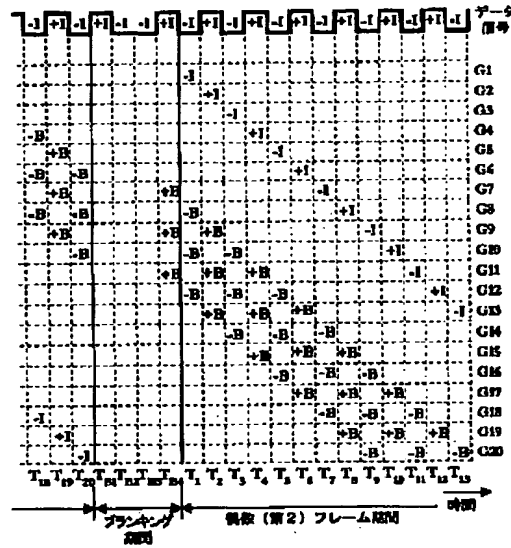
【図6】



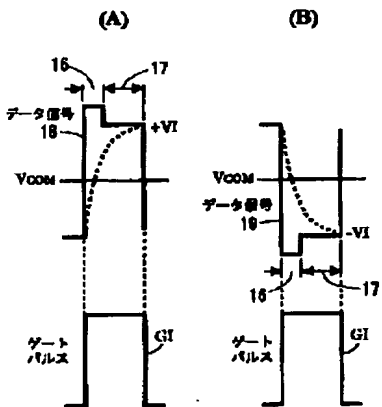
【図7】



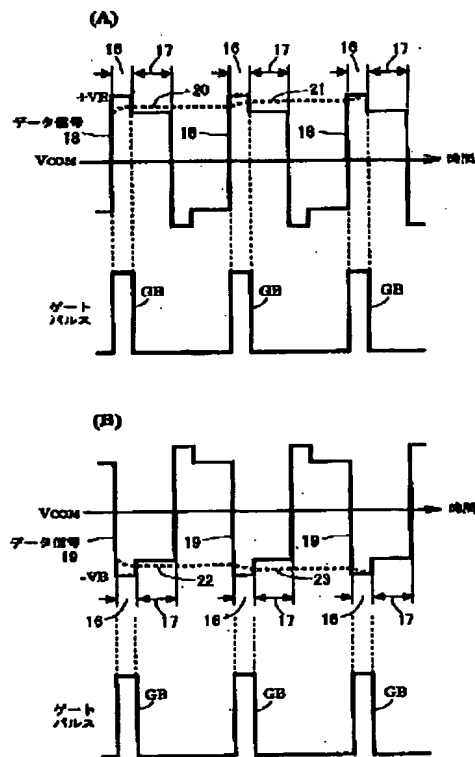
【図8】



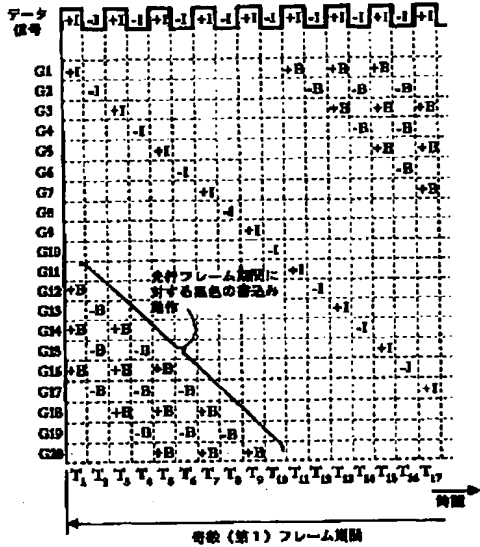
【図9】



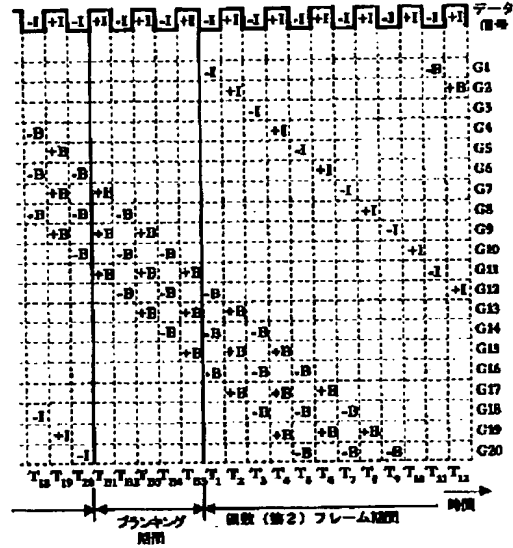
【図10】



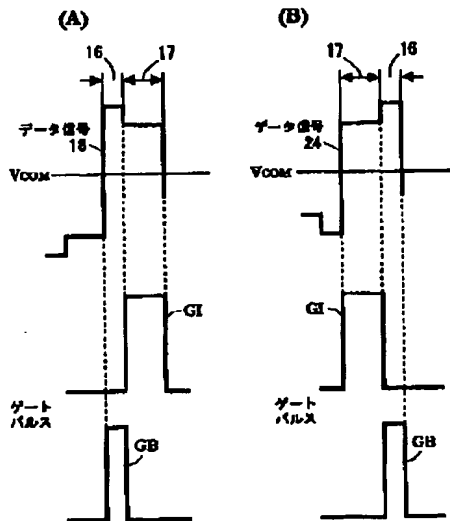
【図11】



【図12】



【図14】



フロントページの続き

(72)発明者 池▲崎▼ 充
神奈川県大和市下鶴間162番地14 日本ア
イ・ビー・エム株式会社 大和事業所内

F ターム(参考) 2H093 NA16 NA80 NC13 NC26 NC28
NC34 NC49 NC90 ND10 ND32
ND43 ND58 NE10 NF28
5C006 AA01 AA11 AC11 AC24 AC28
AF24 AF44 BB16 BC11 FA00
FA23
5C080 AA05 AA10 AA18 BB05 DD01
DD30 EE19 EE29 FF11 GG12
JJ02 JJ03 JJ04